

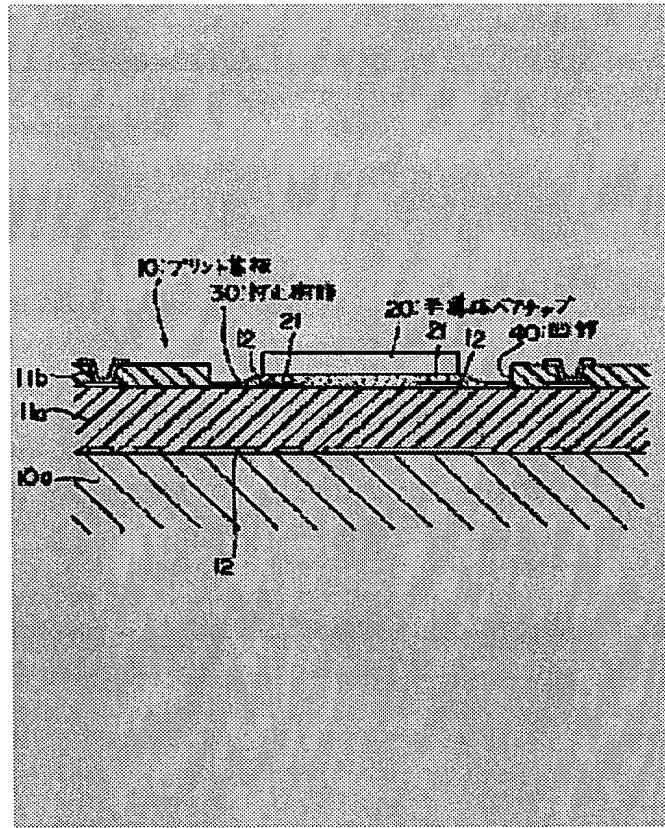
SEMICONDUCTOR BARE CHIP MOUNTING BOARD

Patent number: JP10092968
Publication date: 1998-04-10
Inventor: YOSHIMURA TOSHIHIKO
Applicant: NEC CORP
Classification:
- **international:** H01L23/12; H01L21/56; H01L21/60
- **european:**
Application number: JP19960242166 19960912
Priority number(s):

Abstract of JP10092968

PROBLEM TO BE SOLVED: To simply suppress a seal resin from flowing away and swelling by mounting a semiconductor bare chip on a substrate surface with face down and laminating a build up layer on the substrate surface to form recesses surrounding the mounted semiconductor bare chip.

SOLUTION: A multilayer printed board 10 has a desired number of insulation layers 11a, 11b and wiring circuit conductor layers 12 alternately laminated on one surface of a synthetic resin type hardening board 10a e.g. glass epoxy laminate. On the surface of the laminated printed board 10, a semiconductor bare chip 20 is mounted with face down and photosensitive resin on the insulation layers 11a, 11b is photoetched to form recesses 40 surrounding the bare chip 20 on the printed board surface with the layers 11a, 11b laminated as build up layers. Thus it is possible to simply suppress a seal resin from flowing away and swelling.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-92968

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.⁶

H 01 L 23/12
21/56
21/60

識別記号

3 1 1

F I

H 01 L 23/12
21/56
21/60

F
E
3 1 1 Q

審査請求 有 請求項の数4 O L (全8頁)

(21)出願番号

特願平8-242168

(22)出願日

平成8年(1996)9月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉村 利比古

東京都港区芝五丁目7番1号 日本電気株
式会社内

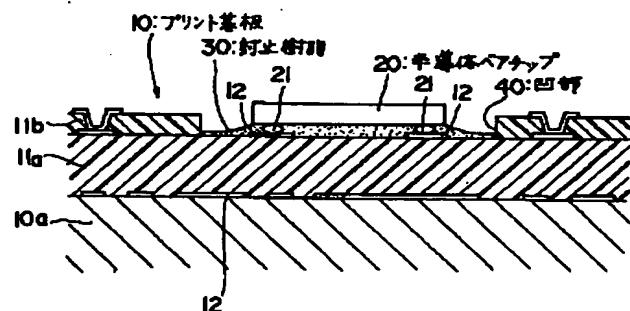
(74)代理人 弁理士 渡辺 喜平

(54)【発明の名称】 半導体ペアチップ実装基板

(57)【要約】

【課題】 プリント基板の表面に半導体ペアチップをフェースダウン実装するとともに、実装した半導体ペアチップを取り囲むようにビルドアップ層を積層して凹部を形成することによって、きわめて単純な構成のみによって簡単に封止樹脂の流出と盛り上がりを抑制しつつ、プリント基板の精度を維持して信頼度の高い製品を低コストで確保し、プリント基板の薄型化を図る。

【解決手段】 プリント基板10の表面上に半導体ペアチップ20を実装し、封止樹脂30で封止する半導体ペアチップ実装基板であって、半導体ペアチップ20を基板10の表面上にフェースダウン実装するとともに、このフェースダウン実装した半導体ペアチップ20の周囲を取り囲むように、基板10の表面上にビルドアップ層11bを積層して凹部40を形成してある。



【特許請求の範囲】

【請求項1】 プリント基板の表面上に半導体ペアチップを実装し、封止樹脂で封止する半導体ペアチップ実装基板であつて、

前記半導体ペアチップを基板表面にフェースダウン実装するとともに、

このフェースダウン実装した半導体ペアチップの周囲をとり囲むように、基板表面にビルドアップ層を積層して凹部を形成したことを特徴とする半導体ペアチップ実装基板。

【請求項2】 前記ビルドアップ層による凹部を前記半導体ペアチップの高さより高く形成した請求項1記載の半導体ペアチップ実装基板。

【請求項3】 前記凹部を構成するビルドアップ層を前記プリント基板表面に複数積層して形成した請求項1又は2記載の半導体ペアチップ実装基板。

【請求項4】 前記複数のビルドアップ層のうち上層が下層より広く上面に開口し、複数のビルドアップ層が段部を形成する請求項3記載の半導体ペアチップ実装基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体ペアチップをプリント基板の表面に実装、封止する半導体ペアチップ実装基板に関し、特に、プリント基板の表面に半導体ペアチップをフェースダウン実装するとともに、実装した半導体ペアチップをとり囲むようにビルドアップ層を積層して凹部を形成した半導体ペアチップ実装基板に関する。

【0002】

【従来の技術】 近年、電子機器等のさらなる軽薄短小化の要望が高まるとともに、高性能化に伴うパッケージLSIの大型化が進展し、これまでのプリント基板の表面実装技術では、最近の超小型、薄型化した機器に対応しきれなくなってきた。

【0003】 このため、最近では、LSIのパッケージを省略した半導体ペアチップを、プリント基板の表面に直接実装し、これを封止樹脂で封止する、いわゆるペアチップ実装の技術が提案されている。

【0004】 ここで、図5を参照して従来の半導体ペアチップを実装するプリント基板について説明する。図5は、従来の半導体ペアチップ実装基板を示すもので、

(a) は一部断面正面図で、(b) は平面図である。同図において、110は導体を形成したプリント基板であり、このプリント基板110の表面上に抵抗、コンデンサ等の部品150とともに半導体ペアチップ120がペアチップ実装されている。

【0005】 ここでペアチップ実装とは、図5に示すように、裸の半導体ペアチップ120をプリント基板110にダイボンディングするとともに、この半導体ペアチ

ップ120上の電極とプリント基板110上の電極とをワイヤ121を介してワイヤーボンディングして接続し、さらに半導体ペアチップ120を封止樹脂130で樹脂封止するものである。

【0006】 ところが、このような従来の半導体ペアチップ実装基板では、半導体ペアチップ120を樹脂封止する際に、封止樹脂130の流動性によって半導体ペアチップ120の実装部分の周囲から広範囲にわたって封止樹脂130が流れてしまい、樹脂のコントロール自体

10 が困難であることから、樹脂塗布領域が不必要に広くなり過ぎ、プリント基板の高密度実装を阻害するという問題があった。一方、このような封止樹脂の流出の防止やコントロールは、チクソ性の高い樹脂を使用することによりある程度達成できるが、その結果、樹脂封止の作業性が悪くなるという問題が生じた。

【0007】 さらに、このようなプリント基板では、図5(a)の矢印で示すように、半導体ペアチップ120上の電極とプリント基板110上の電極をワイヤーボンディングしており、ボンディングワイヤ121とこれを封止する樹脂130がプリント基板110の上面から高く盛り上がってしまっていた。このため、このような盛り上がりが、基板や装置の薄型化を阻害するとともに、例えれば半導体ペアチップの上方にパッケージ部品を追加実装するような場合、樹脂封止部とパッケージ部品が干渉してしまい、追加実装が行なえないという事態が生じた。

【0008】 そこで、これまで、このような従来技術の不都合を解消するため、図6に示すような半導体ペアチップ実装基板が提案されている。図6は、封止樹脂の流出を防止する半導体ペアチップ実装基板を示すものであり、(a) は一部断面正面図で、(b) は平面図である。この図6に示す半導体ペアチップ実装基板は、封止樹脂230の塗布領域を一定に維持するため、プリント基板210上に半導体ペアチップ220をとり囲むダム240が形成してある。

【0009】 このような半導体ペアチップ実装基板においては、プリント基板210上に環状のダム240を熱圧着等により固着し、このダム240の内側に半導体ペアチップ220を配設し、ワイヤ221を介してワイヤーボンディングした後、ダム240内に樹脂230を注入して硬化させるようにしてある。このような半導体ペアチップ実装基板によれば、ダム240によって封止樹脂230の流出が止められるので、樹脂230の塗布領域をダム240内の一定範囲に維持することができた。

【0010】 また、特開昭63-268260号公報にも、封止樹脂の流出を抑えて半導体ペアチップの樹脂封止が可能な「混成微少素子回路」が提案されている。図7は、この特開昭63-268260号公報に記載された混成微少素子回路を示すものであり、(a) は全体斜視図で、(b) は一部断面正面図である。

【0011】この図7に示すように、この特開昭63-268260号公報に記載された混成微少素子回路は、部品搭載用の主基板311の四方各辺に部品搭載用の副基板312を電気的、機械的に隣接するようほぼ直角に配設したプリント基板310からなり、この主基板311と副基板312によって形成される箱状の空間内に封止樹脂330を注入して、主基板311に実装された半導体ペアチップ320を封止するものである。

【0012】主基板311と副基板312の電気的・機械的接続はフレキシブル基板313で行なわれておる、部品実装後、主基板311に対して四方の副基板312を直角に折曲げて接着剤で貼り合わせて組み立てる。そして、半導体ペアチップ320をワイヤ321でワイヤボンディングするとともにその他の部品350を実装し、その後、主基板311と副基板312で形成された空間に樹脂330を流し込むことによって、半導体ペアチップ311や耐湿性の要求される他の部品350を樹脂封止する。

【0013】このような混成微少素子回路によれば、主基板311と副基板312により箱状の空間を形成しその中に封止樹脂330を注入するので、封止樹脂330が流出するこなく半導体ペアチップ320をプリント基板310の任意の箇所に実装、封止することができる。

【0014】

【発明が解決しようとする課題】しかしながら、このような従来の半導体ペアチップの封止技術には、以下のような問題点があった。すなわち、まず図6に示した従来の半導体ペアチップ実装基板では、樹脂流出防止用のダムをあらかじめプリント基板とは別体に製造しておかなければならず、また、そのダムをプリント基板に接着する作業が必要となるため、プリント基板の製造に手間やコストがかかるという問題があった。

【0015】また、このような樹脂流出用のダムの小型化には一定の限界があったため、半導体ペアチップの実装密度を高くするのも限界があり、特に、半導体ペアチップの面積が小さいような場合、ダムの存在のみで高密度実装が大きく損なわれるという問題も生じてしまっていた。

【0016】さらに、このようにダムを設ける半導体ペアチップ実装基板においても、図6(a)の矢印に示すように、封止部分はダムの高さまでは盛り上がってしまうこととなり、図5に示した従来技術が有していた樹脂が基板面から高く盛り上がるという問題を解消することはできなかつた。

【0017】一方、特開昭63-268260号公報記載の混成微少素子回路では、通常のプリント基板とは異なる四辺が折り畳み式の複雑な構造をとるため、プリント基板自体の製造コストや組立作業の手間がかかるという問題があった。さらに、主基板と副基板で作られる箱状の空間全体に封止樹脂を流し込むため、封止樹脂を必要

以上に使用することとなり、コスト及び重量がさらに増加するという問題点もあった。

【0018】なお、このような従来の半導体ペアチップ実装基板に加えて、図8に示すように、プリント基板410の絶縁層411に、ルーターなどによる機械的切削加工によって凹部440を形成し、この凹部440に半導体ペアチップ420を配設して接着剤等により固定するとともに、プリント基板410の配線回路導体412と半導体ペアチップ420とをワイヤ421によりワイヤボンディングして接続し、最後に、凹部440に封止樹脂430を注入して半導体ペアチップ420を封止して実装するという半導体ペアチップ実装基板も提案されている。

【0019】このような図8に示すプリント基板によれば、切削形成した凹部440に半導体ペアチップ420を実装することにより、凹部440が封止樹脂430の流れ止めとなるので、従来のような流れ止め用のダム等を設けることなく、単純な構成のみによって、半導体ペアチップ420を樹脂封止することが可能であった。

【0020】しかし、このプリント基板に凹部を切削形成するペアチップ実装の技術は、凹部の形成をルーターなどによる機械的切削加工により行なっていたため、半導体ペアチップを接続するプリント基板の内層の配線回路導体についても機械的に削り出されることとなっていた。

【0021】一般に、多層プリント基板に配線される配線回路導体は、厚さ数十ミクロンの銅箔等が用いられている。このため、ルーターなどによる機械的切削では積層厚みのばらつきや、切削ツールの精密制御の問題等により、プリント基板の精度、歩留まりがきわめて悪く、結果として非常にコストの高いプリント基板となってしまっていた。

【0022】また、このようなプリント基板によっても、ボンディングワイヤは半導体ペアチップの上方に突出していたため、図8の矢印に示すように、他の従来技術と同様、封止樹脂が基板面より高く盛り上がってはみだしてしまい、凹部の上方にパッケージ部品を追加実装した場合、封止部とパッケージ部品が干渉してしまうという事態が依然として生じていた。

【0023】この場合、凹部をさらに深く切削することにより、封止部とパッケージ部品の接触を回避することができるが、そのようにすると、削り出しによる製品精度の悪化が進むこととなり、結果として、パッケージ部品を追加実装するためには、凹部を形成している絶縁層をより厚くするしかなく、これでは、プリント基板の薄型化をかえって阻害するという矛盾が生じた。

【0024】本発明は、このような従来の技術が有する問題を解決するために提案されたものであり、半導体ペアチップをプリント基板の表面に実装、封止する半導体ペアチップ実装基板において、プリント基板の表面に半

導体ペアチップをフェースダウン実装するとともに、実装した半導体ペアチップをとり囲むようにビルドアップ層を積層して凹部を形成することにより、きわめて単純な構成のみによって簡単に封止樹脂の流出と盛り上がりを抑制しつつ、プリント基板の精度を維持して信頼度の高い製品を低コストで確保し、基板の薄型化を図ることができる半導体ペアチップ実装基板の提供を目的とする。

【0025】

【課題を解決するための手段】上記目的を達成するため本発明の請求項1記載の半導体ペアチップ実装基板は、プリント基板の表面上に半導体ペアチップを実装し、封止樹脂で封止する半導体ペアチップ実装基板であって、前記半導体ペアチップを基板表面にフェースダウン実装するとともに、このフェースダウン実装した半導体ペアチップの周囲をとり囲むように、基板表面にビルドアップ層を積層して凹部を形成した構成としてある。

【0026】また、請求項2記載の半導体ペアチップ実装基板は、前記ビルドアップ層による凹部を前記半導体ペアチップの高さより高く形成した構成としてある。

【0027】また、請求項3記載の半導体ペアチップ実装基板は、前記凹部を構成するビルドアップ層を前記プリント基板表面に複数積層して形成した構成としてある。

【0028】さらに、請求項4記載の半導体ペアチップ実装基板は、前記複数のビルドアップ層のうち上層が下層より広く上面に開口し、複数のビルドアップ層が段部を形成する構成としてある。

【0029】このような構成からなる本発明の半導体ペアチップ実装基板によれば、ビルドアップ基板のビルドアップ層の厚みを利用して封止樹脂の流出を防止しているので、封止樹脂の流出防止用のダムを別体で形成し基板上に取り付ける作業が一切不要となる上、ダムの実装面積も不要となり、半導体ペアチップの実装面積を縮小することができる。

【0030】また、半導体ペアチップはプリント基板のビルドアップ層にとり囲まれた凹部にフェースダウン実装してあるので、半導体ペアチップとプリント基板の電極は半導体ペアチップの底面側において直接接続され、封止樹脂もこの半導体ペアチップの底面部のみに注入すれば足りるので、従来のように半導体ペアチップの上面側にボンディングワイヤや封止樹脂が盛り上がるることもない。

【0031】従って、これによって封止樹脂の高さをプリント基板の上面と同一面とすることができます、封止樹脂がプリント基板の上方に配設される部品等と干渉することがなくなり、例えば、従来は困難であった半導体ペアチップの実装部上方に他のパッケージ部品を追加実装するようなことも可能となる。

【0032】さらに、本発明の半導体ペアチップ実装基

板によれば、半導体ペアチップをとり囲む凹部を構成するビルドアップ層をフォトエッチング技術を用いたビルドアップ法により形成してあるので、凹部やプリント基板の導体形成は非常に簡易かつ確実に行なうことができ、プリント基板の製品精度がきわめて高く、歩留まりの良いプリント基板を得ることができる。

【0033】

【発明の実施の形態】以下、本発明の半導体ペアチップ実装基板の一実施形態について、図面を参照して説明する。図1～図4は、それぞれ本発明の半導体ペアチップ実装基板の一実施形態を示す要部断面正面図である。

【0034】これらの図に示すように、本実施形態における半導体ペアチップ実装基板は、プリント基板10の表面上に半導体ペアチップ20を実装し、封止樹脂30で封止する半導体ペアチップ実装基板であり、半導体ペアチップ20を基板10の表面にフェースダウン実装するとともに、このフェースダウン実装した半導体ペアチップ20の周囲をとり囲むように、基板10の表面にビルドアップ層を積層して凹部40を形成した構成としてある。

【0035】すなわち、本実施形態の半導体ペアチップ実装基板10は、基材となるガラスエポキシ積層板などの合成樹脂系の硬質性基板10aの片面又は両面に、絶縁層11と配線回路導体層12を交互に任意の層だけ積層した多層プリント基板であり、図1に示す本実施形態のプリント基板10は、片面積層の場合である。

【0036】そして、この絶縁層11が、後述するようにフェースダウン実装した半導体ペアチップ20の周囲をとり囲むようにして基板10の表面にビルドアップ層として積層され、凹部40が形成されている。

【0037】そして、この凹部40は、フォトエッチング技術を用いたビルドアップ工法より形成されている。すなわち、本実施形態におけるプリント基板10は、凹部40を形成する絶縁層11(11a, 11b)を感光性樹脂により形成してあり、この感光性樹脂にフォトエッチングを施すことにより凹部40を形成してある。

【0038】一般に、多層プリント基板は、絶縁層と配線回路導体とを複数積層して加熱プレスにより一体化し、その後ツイストドリルを用いてスルーホールを形成することにより製作されているが、絶縁層を感光性樹脂により形成するとともに、フォトエッチング法を用いることにより、より高密度、高精度の多層プリント基板を形成することができる。

【0039】ここで、感光性樹脂及びフォトエッチングを用いたビルドアップ工法による本実施形態のプリント基板10及び凹部40の製造方法について説明する。

①まず、基材となるガラスエポキシ積層板などの合成樹脂系の硬質性基板10aの全面に、銅箔等の金属箔を接着した積層基板に、フォトエッチングを施して不要な銅箔を溶解除去して配線回路導体12を形成する。

②つぎに、この配線回路導体12を形成した基板面の全体に絶縁層11として紫外線硬化型エポキシ樹脂等の感光性樹脂を被覆し、この感光性樹脂からなる絶縁層11に、必要に応じてフォトエッチングにより微小径のスルーホール（ビアホール）を形成する。

③その後、絶縁層11を粗面化し、その絶縁層11の表面を活性化処理した後、無電解銅メッキ又は電解銅メッキ法を併用して金属化するとともに、フォトエッチングによって配線回路導体12を形成する。

④そして、スルーホールを導通化して上下層の配線回路導体12を電気的に接続する。以上の手順を繰り返すことにより、任意の多層を形成したプリント基板10を製造することができる。

⑤最後に、プリント基板10の最上層（又はその下層）の絶縁層11にフォトエッチングを施して絶縁層11の一部を除去し、所望の凹部40を形成する。このとき、凹部40の底面には、絶縁層11が除去されたことにより、当該絶縁層11の下層に積層されている配線回路導体12が露出する。

【0040】このような方法によりプリント基板10及び凹部40を形成することにより、従来機械的切削加工により行なっていた、絶縁層11及び配線回路導体12の削り出し作業が一切不要となり、フォトエッチングにより、簡易かつ高精度に凹部40の形成が行なえる。これにより、従来問題となっていたプリント基板10の製品精度を向上させることができ、歩留まりのよいプリント基板10を製造することができる。

【0041】なお、この凹部40は、プリント基板10を構成する絶縁層11のうち、少なくとも最上層に形成するようにしてあり、本実施形態においては、図1に示すように、最上層11bのみに凹部40を形成する場合の他、図2に示すように、最上層11c及びその下層11bの二層にわたって凹部40を形成することもできる。このように複数の絶縁層11にわたって凹部40を形成することにより、凹部の深さを実装される半導体ペアチップ1の高さより深くなるように形成することができる。

【0042】また、凹部40の形状としては図1～2に示すような無段形状とすることもできるが、これ以外にも、フォトエッチングにより絶縁層11を自由に除去することで、任意の形状とすることができます。例えば、図3に示すように、凹部40が形成された複数の絶縁層11のうち、上層の絶縁層11cを下層の絶縁層11bより広く除去することにより、凹部40に段部を形成することもできる。

【0043】さらに、本実施形態のプリント基板では、このようにビルドアップ層でとり囲まれた凹部40内に、半導体ペアチップ20をフェースダウン実装してある。フェースダウン実装とは、ワイヤレスボンディング方式の一つで、半導体チップ20の電極部にバンプ21

やビーム状のリードを形成しておき、この面を下側にしてプリント基板10の導体層12に直接面接続する方法であり、代表的のものにフリップチップ方式がある。

【0044】このフェースダウン方式によれば、通常のワイヤ方式と異なり、電極数に関係なく一度に強固なボンディングができるとともに、封止樹脂30も半導体ペアチップ20の底面部のみに注入すれば足りるので、凹部40に封止樹脂30を注入しても、従来のように上方にワイヤや樹脂封止が盛り上がるがなくなる。

10 【0045】これによって、例えば図4に示すように、凹部40に実装された半導体ペアチップ1の封止樹脂4は、封止部分がプリント基板10から盛り上がりずプリント基板10の上面と同一平面かそれ以下になるので、従来は困難であった封止された凹部40を跨いだ状態での、パッケージLSI50などの他の部品をプリント基板10に追加して表面実装することができる。

【0046】このように本実施形態の半導体ペアチップ実装基板によれば、ビルドアップ基板のビルドアップ層の厚みを利用して封止樹脂の流出を防止しているので、

20 封止樹脂の流出防止ダムを別体で形成し基板上に取り付ける作業が一切不要となる上、ダムの実装面積も不要であるため、半導体ペアチップの実装面積を縮小することができる。

【0047】また、半導体ペアチップをプリント基板のビルドアップ層にとり囲まれた面にフェースダウン実装してあるので、半導体ペアチップとプリント基板の電極はペアチップ底面側で直接接続され、封止樹脂もペアチップ底面部のみに注入すれば足りるので、従来のようにペアチップ上面にボンディングワイヤや封止樹脂が、盛り上ることもない。

【0048】これによって、封止樹脂の高さをプリント基板の上面と同一面とすることができる、封止樹脂がプリント基板の上方に配設される物と干渉するがなくなり、例えば、従来は困難であった半導体ペアチップの実装部上方に他のパッケージ部品を追加実装することも可能となる。

40 【0049】さらに、本発明の半導体ペアチップ実装基板によれば、半導体ペアチップをとり囲む凹部を構成するビルドアップ層をフォトエッチングによるビルドアップ法により形成してあるので、凹部やプリント基板の導体形成を簡易かつ確実に行なうことができ、プリント基板の製品精度がきわめて高く、歩留まりの良いプリント基板を得ることができる。

【0050】

【発明の効果】以上説明したように本発明の半導体ペアチップ実装基板によれば、半導体ペアチップをプリント基板の表面に実装、封止する半導体ペアチップ実装基板において、プリント基板の表面に半導体ペアチップをフェースダウン実装するとともに、実装した半導体ペアチップをとり囲むようにビルドアップ層を積層して凹部を

形成することで、樹脂封止の流出を防止するダム部を簡易かつ確実に形成することができ、製品精度を高く維持することができると同時に、フェースダウン実装によつて樹脂封止の盛り上がりも防止することができ基板全体の薄型化を図ることも可能となり、これによつて、例えは半導体ペアチップの上方にも自由にパッケージ部品を追加実装するようなこともできる。

【図面の簡単な説明】

【図1】本発明の半導体ペアチップ実装基板の一実施形態を示す要部断面正面図である。

【図2】本発明の半導体ペアチップ実装基板の一実施形態を示す要部断面正面図である。

【図3】本発明の半導体ペアチップ実装基板の一実施形態を示す要部断面正面図である。

【図4】本発明の半導体ペアチップ実装基板の一実施形

態を示す要部断面正面図である。

【図5】従来の半導体ペアチップ実装基板を示すもので、(a)は一部断面正面図で、(b)は平面図である。

【図6】従来の他の半導体ペアチップ実装基板を示すもので、(a)は一部断面正面図で、(b)は平面図である。

【図7】従来の他の半導体ペアチップ実装基板を示すもので、(a)は全体斜視図で、(b)は一部断面正面図である。

【符号の説明】

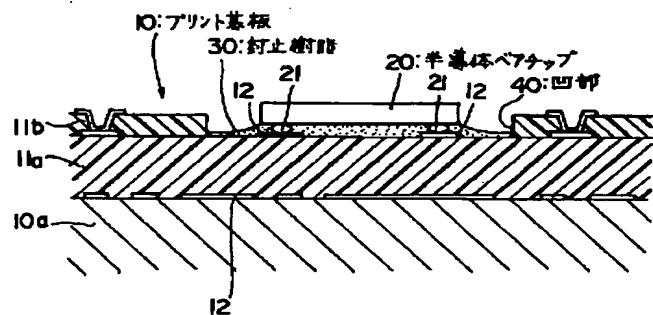
10 プリント基板

20 半導体ペアチップ

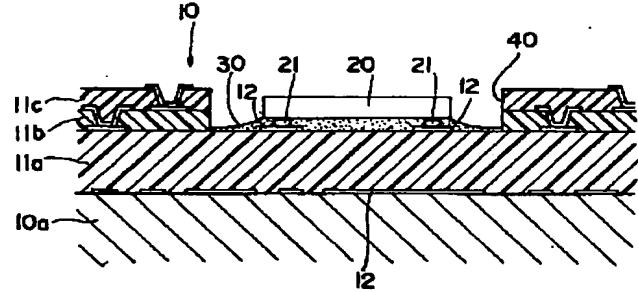
30 封止樹脂

40 凹部

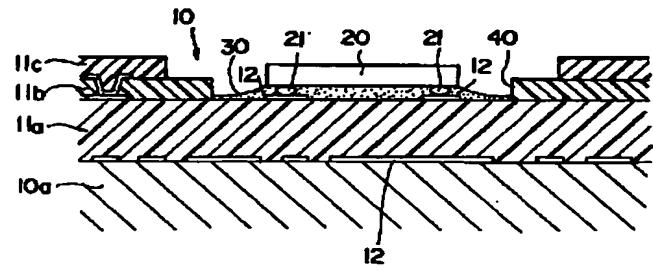
【図1】



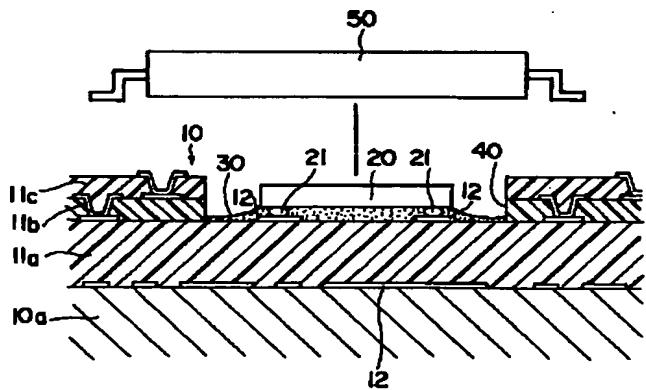
【図2】



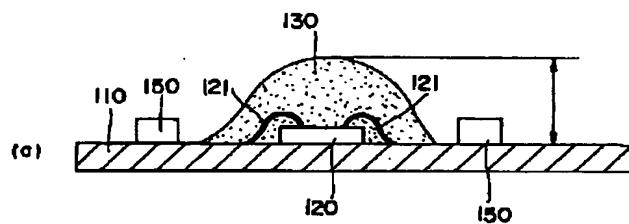
【図3】



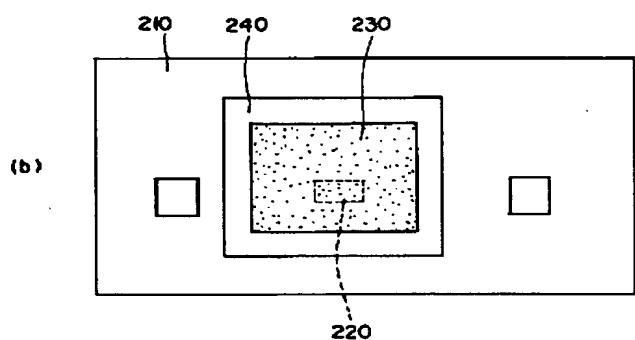
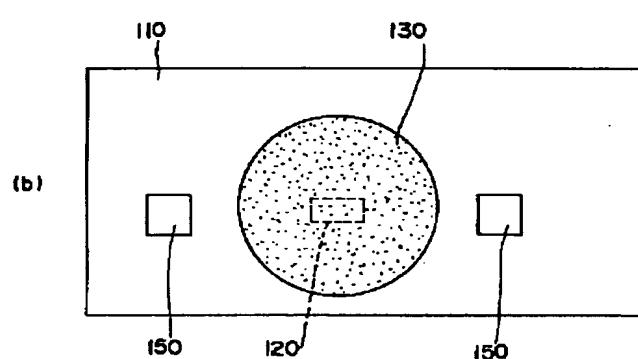
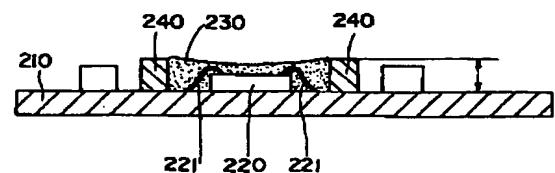
【図4】



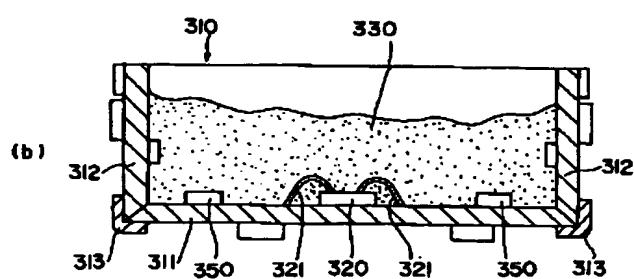
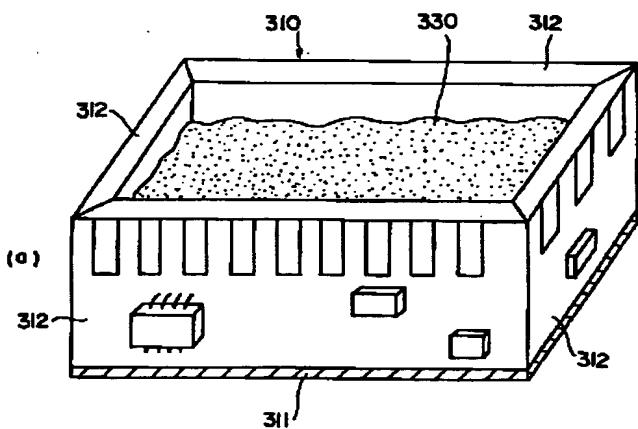
【図5】



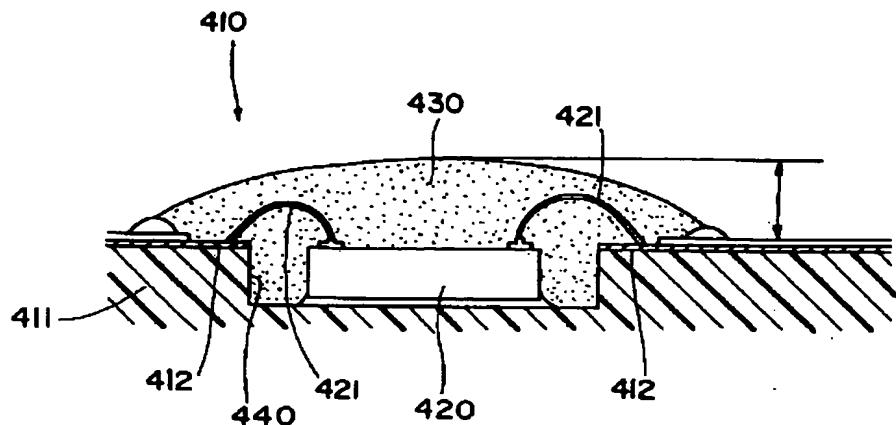
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成8年11月14日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図8

【補正方法】追加

【補正内容】

【図8】従来の他の半導体ペアチップ実装基板を示す一部断面正面図である。